

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-217326

(43)Date of publication of application : 09.09.1988

(51)Int.Cl.

G02F 1/133

G09G 3/36

(21)Application number : 62-050077

(71)Applicant : HITACHI LTD

(22)Date of filing : 06.03.1987

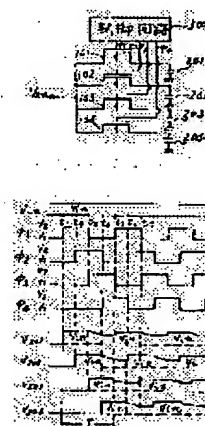
(72)Inventor : OWADA JUNICHI
KITAJIMA MASAOKI
SUZUKI MASAYOSHI
TAKAHATA MASARU
NAGAE KEIJI

(54) METHOD AND CIRCUIT FOR SCANNING CAPACITIVE LOAD

(57)Abstract:

PURPOSE: To lower the frequency of a scanning signal and to put a circuit in fast operation by providing periods where respective scanning signals overlap with one another and making periods where scanning change long.

CONSTITUTION: One-side main electrodes of n-type MOS thin transistors TFT 101W104 which constitute the semiconductor switch of a circuit for scanning a capacitive load are connected in common, an input signal V_{in} is applied to the main electrodes, and capacitive loads 201W204 such as liquid crystal, wiring capacity, input gate capacity of a following-stage FET, etc., are connected to the other-side main electrodes of those TFTs 101W104. Scanning pulses $\phi_{1W}\phi_{14}$ of 1st potential level V_1 and 2nd potential level V_2 from a control circuit 300 are applied to control electrodes of the TFTs. One of the K ($K \geq 3$) TFTs 101W104 is changed from a sequential transmission state to a nontransmission state at a specific period with those pulses $\phi_{1W}\phi_{14}$. A period where optical L ($K > L \geq 2$) adjacent TFTs 101W104 conduct and a period where they do not conduct are provided in one cycle period.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-217326

⑬ Int.Cl.

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)9月9日

G 02 F 1/133
G 09 G 3/36

3 3 2

8708-2H
8621-5C

審査請求 未請求 発明の数 5 (全16頁)

⑮ 発明の名称 容量性負荷の走査方法及び走査回路

⑯ 特 願 昭62-50077

⑰ 出 願 昭62(1987)3月6日

⑱ 発 明 者 大 和 田 淳 一 茨城県日立市久慈町4026番地 株式会社日立製作所日立研
究所内

⑲ 発 明 者 北 島 雅 明 茨城県日立市久慈町4026番地 株式会社日立製作所日立研
究所内

⑳ 発 明 者 鈴 木 政 善 茨城県日立市久慈町4026番地 株式会社日立製作所日立研
究所内

㉑ 発 明 者 高 昌 勝 茨城県日立市久慈町4026番地 株式会社日立製作所日立研
究所内

㉒ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉓ 代 理 人 弁理士 小川 勝男 外2名

最終頁に続く

明 細 書

1. 発明の名称

容量性負荷の走査方法及び走査回路

2. 特許請求の範囲

1. 入力信号が印加される一方の主電極、他方の主電極、該一方の主電極から該他方の主電極への該入力信号の伝達状態及び非伝達状態を制御する制御信号が印加される制御電極を有するK個($K \geq 3$)の半導体スイッチ素子と、該K個の半導体スイッチ素子の他方の主電極に夫々接続される容量性負荷とを具備し、該K個の半導体スイッチ素子の一つを所定の周期で順次伝達状態または非伝達状態から非伝達状態または伝達状態に移行させる走査方法において、走査が隣接する任意のL個($K > L \geq 2$)の半導体スイッチ素子が伝達状態となる期間と、上記L個の半導体スイッチ素子が非伝達状態となる期間とを少なくとも一周期内に設けることを特徴とする走査方法。

2. 特許請求の範囲第1項において、Lは、 $K/$

2の近傍に設定されることを特徴とする走査方法。

3. 特許請求の範囲第2項において、 $K = 2L - 1$ 、または $K = 2L$ 、または $K = 2L + 1$ に設定されることを特徴とする走査方法。

4. 特許請求の範囲第1項において、上記半導体スイッチ素子と上記容量性負荷とは、同一の基板に形成されることを特徴とする走査方法。

5. 一方の主電極、他方の主電極、第1の電位レベルまたは該第1の電位レベルとは異なる第2の電位レベルが印加される制御電極を有するK個($K \geq 3$)の半導体スイッチ素子と、該K個の半導体スイッチ素子の一方の主電極に印加する連続的な入力信号を発生する入力信号源と、

該K個の半導体スイッチ素子の他方の主電極に夫々接続されるK個の容量性負荷と、

該K個の半導体スイッチ素子の制御電極に印加される該第1の電位レベルと該第2の電位レベルとを所定の周期で順次該第1の電位レベル

または該第2の電位レベルから該第2の電位レベルまたは該第1の電位レベルに移行させる制御回路とを具備する走査回路において、

上記制御回路は、

走査が隣接する任意の L 個($K > L \geq 2$)の半導体スイッチ素子の制御電極が該第1の電位レベルとなる期間と、上記 L 個の半導体スイッチ素子の制御電極が該第2の電位レベルとなる期間とを少なくとも一周期内に設ける制御回路であることを特徴とする走査回路。

6. 特許請求の範囲第5項において、 L は、 $K/2$ の近傍に設定されることを特徴とする走査回路。

7. 特許請求の範囲第6項において、 $K = 2L - 1$ 、または $K = 2L$ 、または $K = 2L + 1$ に設定されることを特徴とする走査回路。

8. 特許請求の範囲第5項において、上記半導体スイッチ素子と上記容量性負荷とは、同一の基板に形成されることを特徴とする走査回路。

9. 一方の主電極、他方の主電極、第1の電位レ

ベルまたは該第1の電位レベルとは異なる第2の電位レベルが印加される制御電極を有する K 個($K \geq 3$)の第1の半導体スイッチ素子と、

該 K 個の第1の半導体スイッチ素子の一方の主電極に印加する連続的な入力信号を発生する入力信号源と、

該 K 個の第1の半導体スイッチ素子の他方の主電極に夫々接続される一方の主電極、他方の主電極、第3の電位レベルまたは該第3の電位レベルとは異なる第4の電位レベルが印加される制御電極を有する $K \times M$ 個($M \geq 3$)の第2の半導体スイッチ素子と、

該 $K \times M$ 個の第2の半導体スイッチ素子の他方の主電極に夫々接続される $K \times M$ 個の容量性負荷と、

該 K 個の第1の半導体スイッチ素子の制御電極に印加される該第1の電位レベルと該第2の電位レベルとを所定の周期で順次該第1の電位レベルまたは該第2の電位レベルから該第2の電位レベルまたは該第1の電位レベルに移行さ

せる第1の制御回路と、

該 K 個のブロック毎の該 M 個の第2の半導体スイッチ素子の制御電極に印加される該第3の電位レベルと該第4の電位レベルとを所定の周期で順次該第3の電位レベルまたは該第4の電位レベルから該第4の電位レベルまたは該第3の電位レベルに移行させる第2の制御回路と、を具備する走査回路において、

上記第2の制御回路は、

走査が隣接する任意の N 個($M > N \geq 2$)の第2の半導体スイッチ素子の制御電極が該第3の電位レベルとなる期間と、上記 N 個の第2の半導体スイッチ素子の制御電極が該第4の電位レベルとなる期間とを少なくとも一周期内に設ける制御回路

であることを特徴とする走査回路。

10. 特許請求の範囲第9項において、 N は、 $M/2$ の近傍に設定されることを特徴とする走査回路。

11. 特許請求の範囲第10項において、 $M = 2N$

-1、または $M = 2N$ 、または $M = 2N + 1$ に設定されることを特徴とする走査回路。

12. 特許請求の範囲第9項において、上記第1の半導体スイッチ素子と上記第2の半導体スイッチ素子と上記容量性負荷とは、同一の基板に形成されることを特徴とする走査回路。

13. 一方の主電極、他方の主電極、第1の電位レベルまたは該第1の電位レベルとは異なる第2の電位レベルが印加される制御電極を有する K 個($K \geq 3$)の第1の半導体スイッチ素子と、

該 K 個の第1の半導体スイッチ素子の一方の主電極に印加する連続的な入力信号を発生する入力信号源と、

該 K 個の第1の半導体スイッチ素子の他方の主電極に夫々接続される一方の主電極、他方の主電極、第3の電位レベルまたは該第3の電位レベルとは異なる第4の電位レベルが印加される制御電極を有する $K \times M$ 個($M \geq 3$)の第2の半導体スイッチ素子と、

該 $K \times M$ 個の第2の半導体スイッチ素子の他

方の主電極に夫々接続される $K \times M$ 個の容量性負荷と、

該 K 個の第1の半導体スイッチ素子の制御電極に印加される該第1の電位レベルと該第2の電位レベルとを所定の周期で順次該第1の電位レベルまたは該第2の電位レベルから該第2の電位レベルまたは該第1の電位レベルに移行させる第1の制御回路と、

該 K 個のブロック毎の該 M 個の第2の半導体スイッチ素子の制御電極に印加される該第3の電位レベルと該第4の電位レベルとを所定の周期で順次該第3の電位レベルまたは該第4の電位レベルから該第4の電位レベルまたは該第3の電位レベルから該第4の電位レベルに移行させる第2の制御回路と、

を具備する走査回路において、

上記第1の制御回路は、

走査が隣接する任意の L 個($K > L \geq 2$)の第1の半導体スイッチ素子の制御電極が該第1の電位レベルとなる期間と、上記 L 個の第1の

半導体スイッチ素子の制御電極が該第2の電位レベルとなる期間とを少なくとも一周期に設ける第1の制御回路であり、

上記第2の制御回路は、

走査が隣接する任意の N 個($M > N \geq 2$)の第2の半導体スイッチ素子の制御電極が該第3の電位レベルとなる期間と、上記 N 個の第2の半導体スイッチ素子の制御電極が該第4の電位レベルとなる期間とを少なくとも一周期に設ける第2の制御回路、

であることを特徴とする走査回路。

14. 特許請求の範囲第13項において、 L は、 $K/2$ の近傍に設定されることを特徴とする走査回路。

15. 特許請求の範囲第14項において、 $K = 2L - 1$ 、または $K = 2L$ 、または $K = 2L + 1$ に設定されることを特徴とする走査回路。

16. 特許請求の範囲第13項において、 N は、 $M/2$ の近傍に設定されることを特徴とする走査回路。

17. 特許請求の範囲第16項において、 $M = 2N - 1$ 、または $M = 2N$ 、または $M = 2N + 1$ に設定されることを特徴とする走査回路。

18. 特許請求の範囲第13項において、上記第1の半導体スイッチ素子と上記第2の半導体スイッチ素子と上記容量性負荷とは同一の基板上に形成されることを特徴とする走査回路。

19. 複数の走査電極と、それらに交叉した複数の信号電極と、それぞれの交点にTFT素子、透明電極を形成し、液晶を積層してなる表示部と、表示部の周辺部に表示部を駆動するための走査回路及び/または信号回路、を内蔵したアクティブマトリクス液晶ディスプレイにおいて、データ入力信号をサンプリングするための第1段目のTFT群と第1段目のTFTの出力に対し1個以上の入力端子が接続された第2段目のTFT群に対し、第1段目のTFT群と第2段目のTFT群のそれぞれのゲート電極に、第2段目のTFTの各ゲートに印加される走査電圧が第1段目のTFTの各ゲートに印加される走

査電圧の周波数が少なくとも1倍以上であり、第2段目のTFT群の出力に接続された容量に入力信号を保持する機能を有する信号側駆動回路を内蔵したことを特徴とするディスプレイ。

20. 特許請求の範囲第19項において、第2段目のTFT群の走査電圧のパルス幅は、第1段目のTFT群の走査電圧のパルス幅の $1/2$ 以下の信号側駆動回路を内蔵したことを特徴とするディスプレイ。

21. 特許請求の範囲第19項および第20項において、第1段目のTFT群と第2段目のTFT群とを走査する走査電圧はそれぞれオーバーラップした走査波形である信号側駆動回路を内蔵したことを特徴とするディスプレイ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、走査方法及び走査回路に係り、特に液晶等の表示体を用い、駆動回路を内蔵したアクティブマトリクス型ディスプレイに好適な、走査方法及び走査回路に関する。

【従来の技術】

ガラス等の基板に薄膜の能動素子、たとえばダイオードや薄膜トランジスタ(以下単にTFTと称す)等のスイッチング素子等を形成し、液晶等の電気光学効果を有する物質と組み合わせた、いわゆるアクティブマトリクスディスプレイは、大面積かつ高精細、さらに高画質のディスプレイが形成できる特徴を有する。これに加えて、TFTを用いたものは、TFTにより駆動回路を構成し、表示部を駆動する回路をガラス基板上に表示部と同時に形成し、外部からの接続線数を低減するとともに、外付けの駆動回路数を低減し、低コスト化を達成すると同時に、接続不良が原因となる信頼性の低下を防止することができる。このように、駆動回路を内蔵したディスプレイについては、アイ・イー・イー・イー、プロシーディング59(1971年)第1566頁(Proceedings of IEEE, 59, P 1566 (1971))に提案されて以来、特開昭56-92573号公報あるいは特開昭57-100467号公報に記載されたような回路が提

案されている。これらの回路構成は、信号側(データ側)の配線に印加する信号電圧を、1ライン当たり数少ないTFT素子により、信号回路を構成することができるが、以下の点において改善の余地がある。まず、表示部の信号電極(データライン)に印加された電圧は、駆動回路の出力段のTFT素子がオン状態の時にTFT素子を通して信号電圧が信号電極に印加され、次にTFT素子がオフ状態となり、その電圧を信号電極に付いた容量C_dにより電圧を保持する動作を行う。これらの動作は、走査ラインが1ライン選択され、走査電極に表示部のTFT素子がオン状態となるような走査電圧が印加された期間内に行なわれる。このため、この期間内の信号電極に印加された電圧が、一ラインの走査期間の終了時まで保持される必要があり、もし信号電極と他部との絶縁抵抗が十分でない場合には、走査期間の終了時までには信号電極容量に印加した電圧が放電し、画素部のTFTに印加される電圧が低下し、その信号電極に接続された各画素は常に印加電圧が低くなるた

め、信号電極毎に輝度むらが生じてしまう。これを防ぐためには、駆動回路の出力段のTFT素子を1ラインの走査期間が終了するまでオン状態に保ち、信号電極から電圧が放電する分だけ電流を供給する必要がある。

次に、表示部のTFT素子のオン特性と出力段のTFT素子のオン特性の問題を考慮する必要がある。すなわち、ディスプレイが大容量化、つまり大面積、多走査線化するに従い、1ラインの走査期間が短くなり、さらには、1画素の走査期間も短くなる。これに反して、1ラインあたりの静電容量は大きくなるため、信号線を1走査期間内に、1信号ラインずつ順次走査する、いわゆる点順次走査とあるいは複数の信号ラインずつ順次走査する走査方法(ここでは、1度に走査する複数のラインを1ブロックとして、ブロック順次走査と呼ぶ)とでは、短期間に比較的大きな静電容量負荷を充電する必要がある。駆動回路の出力段のTFT素子は大きなドレイン相互コンダクタンスg_mを持つ必要がある。また、表示部のTFT

素子に対しても上述の走査方法では、TFT素子のオン電圧が短くなるため液晶への印加電圧が十分印加されず表示のコントラスト比が低下する。このため、これらのTFT素子のチャネル幅Wを大きくして、相互コンダクタンスg_mを増加させる方法などが必要になり、回路の面積が増加したり、表示部の表示電極の占める割合が低下し、表示特性が低下したりする。これを回避するため、駆動方法として、一走査ラインのアドレス期間内では、その期間のほぼ全ての期間を表示部のTFT素子がオン状態となり、しかも信号電圧が印加される、いわゆる線順次走査法が望ましい。

次に、内蔵用の駆動回路の構成に関して、特に信号側(データ電圧発生側)の駆動回路に関しては、高速動作が要求されるため、回路の設計には注意が必要となる。たとえば、ディスプレイの表示部画素数がN(垂直方向画素数)×M(水平方向画素数)とし、一画面を書きかえる周波数(以下フレーム周波数という)をf_F(Hz)とすると、ディスプレイに対し入力する信号電圧の最高周波

数 f_{\max} は、 $f_{\max} = N \times M \times f_f$ と計算される。たとえば、表示部の画素数を $N=400$ 、 $M=640$ 、 $\times 3$ ($\times 3$ はR、G、Bの三色表示を仮定)、 $f_f=60\text{Hz}$ とすると、 $f_{\max}=46.08 \times 10^6\text{Hz}=46.08\text{MHz}$ という非常に高周波の値となる。このような周波数帯域で動作する回路を、たとえば、非晶質シリコンや多結晶シリコンを用いたTFTより構成することは非常に困難であるため、TFT素子に対し特性の合った回路構成や、信号の印加方法の改良が必要となる。上述の公知例は、入力データを並列に印加し、上記の最高周波数 f_{\max} を入力データの数で低周波化する工夫を行った回路構成であるが、外部から信号を入力する部分と、入力した信号を表示部に印加する部分が同一のTFT素子を用いたり、あるいは、TFT素子をトランスファークラークとした静電容量による電圧分配型の回路構成となつているため、入力部のTFT素子が大きな静電容量負荷を駆動する必要があり、高周波の入力信号に応答することが困難であるという欠点を有していた。

〔問題点を解決するための手段〕

上記目的を達成する本発明の特徴とすると、ころは、入力信号が印加される一方の主電極、他方の主電極、該一方の主電極から該他方の主電極への該入力信号の伝達状態及び非伝達状態を制御する制御信号が印加される制御電極を有するK個 ($K \geq 3$) の半導体スイッチ素子と、該K個の半導体スイッチ素子の他方の主電極に夫々接続される容量性負荷とを具備し、該K個の半導体スイッチ素子の一つを所定の周期で順次伝達状態または非伝達状態から非伝達状態または伝達状態に移行させる走査方法において、走査が隣接する任意のL個 ($K > L \geq 2$) の半導体スイッチ素子が伝達状態となる期間と、上記L個の半導体スイッチ素子が非伝達状態となる期間とを少なくとも一周期に設けることにある。

また、本発明の特徴走査回路とするところは、一方の主電極、他方の主電極、第1の電位レベルまたは該第1の電位レベルとは異なる第2の電位レベルが印加される制御電極を有するK個 ($K \geq$

また、上記の従来例では、入力データ信号を処理するTFT素子を動作させるための走査パルス等の駆動電圧を印加するタイミング、または発生する回路構成は、一走査線の選択期間を複数本の信号線を1ブロックとしたブロック数等により分割していたため、大画面、高精細となつてくると、走査パルスのパルス幅が短くなるため、走査パルスを発生する回路の対して高速の動作が要求されていた。

〔発明が解決しようとする問題点〕

上記のような従来技術では、TFTを用いた内蔵信号駆動回路において、高速の入力データを効率的に処理し、表示部に印加する点について配慮がされておらず、回路の動作速度に問題があるとともに、表示部の表示特性の点にも問題があつた。

本発明の目的は、入力データが高速となつた場合でも、比較的低速でスイッチングする半導体素子を利用しうる高速な走査方法及び走査回路を提供することにある。

3) の半導体スイッチ素子と、該K個の半導体スイッチ素子の一方の主電極に印加する連続的な入力信号を発生する入力信号源と、該K個の半導体スイッチ素子の他方の主電極に夫々接続されるK個の容量性負荷と、該K個の半導体スイッチ素子の制御電極に印加される該第1の電位レベルと該第2の電位レベルとを所定の周期で順次該第1の電位レベルまたは該第2の電位レベルから該第2の電位レベルまたは該第1の電位レベルに移行させる制御回路とを具備する走査回路において、上記制御回路は、走査が隣接する任意のL個 ($K > L \geq 2$) の半導体スイッチ素子の制御電極が該第1の電位レベルとなる期間と、上記L個の半導体スイッチ素子の制御電極が該第2の電位レベルとなる期間とを少なくとも一周期に設ける制御回路であることにある。

〔作用〕

走査の低周波化のためには、走査する各走査信号間でオーバラップする期間を設ける。これによつて、走査信号の変化する周期が長くなるため、

低周波化が可能となる。

(実施例) 図18及び図19を用いて説明する。

本発明の原理を第18図及び第19図を用いて説明する。第18図は本発明の原理を説明するための構成図であり、第19図は第18図のタイムチャートである。

第18図に於いて、101~104は半導体スイッチの一例となる4個($K=4$)のnチャネル型MOSトランジスタで好ましくは、ガラス基板上に薄膜トランジスタ(以下TFTと称す)で構成される。TFT101~104の一方の主電極は、共通して、アナログまたはデジタルの画像信号等の連続的な入力信号 V_{in} が印加される。TFT101~104の他方の主電極は、夫々容量性負荷201~204が接続されている。容量性負荷201~204は、好ましくは、液晶、配線容量、次段のMOSトランジスタの入力ゲート容量等である。TFT101~104の制御電極には、一方の主電極から他方の主電極への入力信号 V_{in} の伝達状態となるオン状態及び非伝達状

態となるオフ状態を制御する制御信号となる第1の電位レベル V_1 と第2の電位レベル V_2 からなる走査パルス $\phi_1, \phi_2, \phi_3, \phi_4$ が夫々印加される。ここで V_1 は例えば接地電位(0V)、 V_2 は電源電位($V_{cc}=5V$)である。

第19図に於いて、時刻 t_1 で ϕ_1 は V_1 から V_2 へ移行し、TFT104はオフ状態からオン状態へ移行し、容量性負荷201の電圧 V_{x01} の如く、容量性負荷201には入力信号 V_{in} が印加される。

時刻 t_2 では、 ϕ_1 は変化せずに、 V_2 のままで、TFT101はオン状態を保持する。ここで、 ϕ_2 は V_1 から V_2 へ変化し、TFT102はオフ状態からオン状態へ移行し、容量性負荷202の電圧 V_{x02} の如く、容量性負荷202には入力信号 V_{in} が印加される。

時刻 t_3 では、 ϕ_1 は V_2 から V_1 へ変化し、TFT101はオン状態からオフ状態へ移行し、容量性負荷201は、直前のTFT101のオン状態時での入力信号 V_{in} の値を所定期間保持す

る。尚、この際、漏れ抵抗の存在により、この値は若干下がる場合がある。 ϕ_2 は変化せずに、 V_2 のままで、TFT102はオン状態を保持する。即ち、時刻 t_3 から時刻 t_4 の間では走査が隣接する ϕ_1, ϕ_2 が V_2 で、2個($L=2$)のTFT101, 102が共にオン状態であり、入力信号 V_{in} が両方に印加され ϕ_3, ϕ_4 が V_1 でTFT103, 104が共にオフ状態にある。また、時刻 t_4 では、 ϕ_3 が V_1 から V_2 へ変化しTFT103がオン状態へ移行し、容量性負荷203の電圧 V_{x03} の如く、容量性負荷203には入力信号 V_{in} が印加される。

時刻 t_5 では、 ϕ_1 は V_1 のままで変化しなく、TFT101はオフ状態を保持する。 ϕ_2 は V_1 から V_2 へ変化し、TFT102はオン状態からオフ状態に移行し、容量性負荷202は、直前のTFT102のオン状態時での入力信号の値を所定期間保持する。 ϕ_3 は V_2 のままで変化せずTFT103はオン状態を維持する。 ϕ_4 は V_1 から V_2 へ変化し、TFT104がオフ状態からオン状態

へ移行し、容量性負荷204の電圧 V_{x04} の如く、容量性負荷204には入力信号 V_{in} が印加される。

即ち、時刻 t_3 から時刻 t_4 の間では ϕ_2, ϕ_3 が V_2 で2個($L=2$)の走査隣接するTFT102, 103が共にオン状態であり、走査が隣接する ϕ_1, ϕ_4 が共に V_1 で、TFT101, 104が共にオフ状態にある。

時刻 t_5 では、 ϕ_1 は時刻 t_1 と同じ様に、 V_1 から V_2 へ変化する。時刻 t_4 から時刻 t_5 の間では、走査が隣接する ϕ_1, ϕ_2 が V_1 で、2個($L=2$)のTFT101, 102が共にオフ状態であり、 ϕ_3, ϕ_4 が共に V_2 で2個のTFT103, 104が共にオン状態である。以下、時刻 t_6, t_7, \dots と同様に繰り返される。

時刻 t_1 から t_5 までの期間が一周期であり、この周期で、走査信号 $\phi_1 \sim \phi_4$ が V_1 から V_2 に順次変化して、TFT101~104が順次オフ状態からオン状態へ移行する。また、この一周期で、走査信号 $\phi_1 \sim \phi_4$ が V_2 から V_1 に順次変化して、TFT101~104が順次オフ状態からオン状

態へ移行する。尚、第11図では、時刻 t_1 から t_2 の期間、 t_2 から t_3 の期間、 t_3 から t_4 の期間、 t_4 から t_5 の期間等の各期間は実質的に等しいが、不均等であつても良い。

この様に、走査信号 $\phi_1 \sim \phi_4$ が互いに重なり、オーバーラップしているため、 $\phi_1 \sim \phi_4$ の夫々の実質的な周波数が低減され、TFT 101~104は、それほど高速なスイッチ特性のものでなくとも走査信号を得ることができる。換言すれば、TFT 101~104のスイッチ特性を変えなくとも、高速な走査信号が得られる。

尚、第19図では、 $K=4$ 、 $L=2$ の例で、 $K=2L$ であるが、 K が奇数の場合、 $K=2L-1$ または $K=2L+1$ のどちらかに設定されると好ましい。

本発明の他の実施例を第1図により説明する。

第1図は、ガラス、プラスチック等の透明な絶縁性基板16上に形成したTFT素子により表示部の多数の画素18と、各画素を駆動するための複数の走査電極15、複数の信号電極12と走査

回路14と以下に述べる構成を有する信号回路から成る平面型ディスプレイである。各画素18はTFT素子18-1と、TFT素子18-1により駆動される電極間の液晶等の表示体によって構成される。

信号回路の構成として、テレビ等を表示するためのビデオ信号をはじめとする表示用のデータ信号を供給するための信号入力配線1とドレイン電極(ここでは、TFT素子はnチャネル構造とし、入力側の一方の主電極をドレイン、出力側の他方の主電極をソースと呼ぶことにする。TFT素子構造上はソースとドレイン電極を全く対称に形成することも可能であり、ソースとドレインの呼び方は説明上便宜的に付けたものである。)とを接続したTFT素子を少なくとも2個以上のゲート電極(第1図では3個($M=3$))の制御電極であるゲート電極を結線し、これを1ブロックとし、 K 個の各ブロックのゲート4は、各ブロックを走査するための走査電圧信号 ϕ_1 、 ϕ_2 、 ϕ_3 、…を発生する走査電圧発生回路3に接続する。ブロック

内の各TFT素子のソース電極には、データサンプリング用のTFT素子6のドレイン電極を接続し、データサンプリング用TFT 6のゲート電極はデータサンプリング用の配線群5にそれぞれ接続されている。データサンプリング用TFTのソース電極に対し、データ保持用の静電容量7とデータ転送用のTFT素子10のドレイン電極が接続される。本実施例では、データサンプリング用TFT 6が第18図のTFT 101等に相当し、データ保持用の静電容量7が第18図の容量性負荷201等に相当する。TFT素子10のソース電極に対して、バッファアンプ11が接続され、バッファアンプ11の出力により表示部の信号電極群12を駆動する。

この信号回路の構成をその動作により分類すると、TFT素子2とTFT素子6及びそれぞれに付随した信号系により、信号入力のサンプリング回路となり、TFT素子6と静電容量7とでホールド回路、TFT 10がデータ転送回路、バッファ回路11が表示部の駆動回路となっている。

回路3および回路14は、1ブロックあるいは1ラインを順次走査するための走査電圧を発生するための回路であり、シフトレジスタ回路を中心とし、必要な場合には、レベル変換回路や出力段のバッファ回路を入れる。また、バッファ回路11はその入力段に存在する静電容量に印加され、保持された電圧を増幅、あるいはインピーダンス変換し表示部に印加するための回路であり、インバータを代表的な構成とする各種回路が考えられる。

第2図は、第1図の回路の変形例である。信号入力配線1に印加される信号 V_i を、各ブロック毎で1個のTFT素子2により切り換え、TFT素子6に印加する構成である。TFT素子の数を低減することが可能であり、信頼性の向上にもつながる。

第3図には、インバータ回路の入力電圧 V_{in} に対する出力電圧 V_{out} の特性を示す。この特性はTFT素子を多結晶シリコンを用いたTFTとし、インバータの回路構成をエンハンスメント型TFT

を2個用いたいわゆるE/E型インバータとした場合であるが、入力電圧 V_{in} に対し出力電圧 V_{out} がほぼ直線的に変化する領域が存在し、この部分をバッファの動作領域として使用する。すなわち、第2図の入力電圧 V_{in1} と V_{in2} の領域において、出力電圧 V_{out1} と V_{out2} とが直線的に変化している。この部分の傾きや、入力電圧値に対するバイアス電圧値は、TFT素子の特性およびインバータ比等の回路設計定数により変化するが、直線領域が現われた部分を動作領域として設定するよう駆動条件を決定すれば良い。一般にTFT素子はMOS構造の素子であり、ゲート入力カインピーダンスは十分に高いため、第3図に示したようなインバータ回路をバッファ回路11に使用すること、は、入力部に保持された電荷が、バッファ回路11の入力部を通して放電することがないため、トランスファゲート10から送られた信号の保持特性は良好となる。

第4図に第1図の各部に印加する駆動電圧波形を示す。走査電極に印加する走査電圧 V_{sc1} 、

V_{sc2} 、 V_{sc3} 、…と、各走査電極の画素に印加するビデオ入力信号 V_v と、各TFTブロック2を順次走査するための電圧信号 ϕ_1 、 ϕ_2 、 ϕ_3 、…と、各ブロック内のデータをサンプリングするためのTFT素子6のゲートに印加するクロックパルス CP_1 、 CP_2 、 CP_3 と、データ蓄積用の静電容量7に保持されたデータ電圧をバッファ部に転送するための電圧 V_{st} とから成る。ビデオ信号 V_v は ϕ_1 、 ϕ_2 、 ϕ_3 、…と CP_1 、 CP_2 、 CP_3 とのいずれもが印加されTFT2とTFT6とがオン状態となった時間に静電容量7にサンプリングされ、TFT2あるいはTFT6のいずれかがオフ状態となった場合には、静電容量7の電圧は保持される。走査電圧 ϕ とクロックパルス CP との組み合わせの中で、TFT2とTFT6とがいずれもオン状態となるのは、一走査ライン期間中に一回であるので、ビデオ信号 V_v は、第1図の左側の静電容量に順次蓄積されていく。走査電圧 ϕ の印加方向、及び CP の印加順序を逆にするにより、右側の静電容量から V_v が蓄積で

きることはいうまでもない。このとき、TFT2及び6の特性は、オン抵抗が CP_1 、 CP_2 、 CP_3 それぞれのオン期間に容量7を充電し、オフ期間に容量7の電圧を保持するようにオフ抵抗を決定する。オフ期間の最大値は、第1図の場合には一番左側の信号ラインであり、その期間は、ほぼ一走査期間に等しい値である。オン期間とオフ期間の比は、水平方向がM画素のディスプレイでは、ほぼMの値と等しくなる。Mは2000画素程度であるので、TFT素子のオンオフ比で十分、充電と保持が可能な値である。次にバッファ回路11の入力部に印加される電圧は容量7とバッファ回路11の入力容量の容量分割で決定されるが、容量7をバッファ回路の入力容量より大きく設定しておけば良い。バッファ回路が存在しない従来の例では、信号電極に付いた静電容量より大きな値の容量7を作らなければならなかったため、TFT2およびTFT6は高速で容量7を充電することは困難であった。これに対し、本実施例では容量7は、それほど大きな値とならないた

め、TFT2およびTFT6により高速で充電することが可能となった。

また、バッファ回路の出力は帰線期間を除いて、ほぼ1水平ラインの走査期間中は電圧を信号電極に印加することが可能であり、信号電極と走査電極との間の絶縁抵抗がばらついた場合、あるいは表示部のTFT素子のゲート絶縁膜の絶縁抵抗がばらついた場合にも、バッファ回路により電流を供給できるため、信号電極の電圧を一定に保つことが容易であり、表示のむらを防ぐことができる。

さらに、走査電圧 ϕ_1 、 ϕ_2 、 ϕ_3 、…を発生させる回路の動作速度は点順次走査の場合と比較して、1ブロック内のTFT2の数だけ、低下させることができる。第1図、第2図に示した例は1ブロック3個のTFT素子を用いた構成としたが、この数をさらに多くすることにより、回路3動作周波数を低下させることができ、TFT素子により容易に回路を内蔵することが可能となる。

さらに、本実施例では、入力信号のアナログ信号は1本の入力端子で印加しており、入力信号を

外部においては、直並列変換等の複雑な信号処理を行なう必要がなく、外部の回路構成を簡単にすることができる。

第5図は第4図の駆動波形の変形例である。 V_v に対し直流電圧を印加し、静電容量7の共通配線8に対しビデオ信号電圧を印加したものである。静電容量7の電圧は、サンプリング用TFT6のソース電極と配線8の差電圧で決定されるので、第3図と同様な(但し、極性の反転した)電圧が容量7に印加することが可能である。

第6図は、第4図、第5図の変形例である。TN液晶などの液晶を駆動する場合には駆動電圧が交流となり、直流成分を小さくした波形を印加する必要がある。TFTを用いたディスプレイでは各画素への印印電圧は1フレーム毎に正負を反転した電圧を印加する必要がある。この反転方法として、1画面毎に信号の極性を反転する方法、1走査ライン毎に信号の極性を反転させる方法等の反転方法が提案されている。いずれにしても、あるレベルを中心として極性が反転する信号電圧

を発生させる必要があるが、第5図は、1走査ライン毎に V_v と V_b とに印加する電圧を切り換え、静電容量7の差電圧が走査ライン毎に反転するような波形を発生させた例である。 V_v と V_b との切り換えは一面面毎でも良く、この場合には、一面面毎に極性の反転する電圧を発生させることができる。

このように、本実施例の回路構成では、入力電圧を反転させた信号電圧を容易に作り出せる特徴を有する。

第7図は第1図あるいは第2図の構成に対し、1個のブロック内の信号ライン数を2倍の6個($M=6$)とした構成である。第1図あるいは第2図の構成に比較してブロック走査電圧 $\phi_1, \phi_2, \dots, \phi_k$ は $1/2$ の周波数に低減(パルス幅は2倍)することができる。すなわち、1ブロック内の信号ライン数が多いほど、ブロック走査電圧 ϕ_1, ϕ_2, \dots は低周波化が実現できる。

次に、第7図の構成において、第4図のサンプリング電圧 CP_1, CP_2, CP_3 に相当する $CP_1,$

CP_2, \dots, CP_6 の波形を第8図に示す。第8図の実施例は CP_1 と CP_2, CP_3 と CP_4, CP_5 と CP_6 という隣り合うパルスをオーバーラップさせる期間を設けたことが特徴となつている。TFT6の出力についた容量7に保持される電圧はサンプリング電圧 CP_1, CP_2, \dots, CP_6 が V_s (好ましくは接地電位=0)となる直前のレベルが残るため、それ以前の期間にサンプリング電圧 V_s (好ましくは電源電位($V_{cc}=5V$))が印加されていても差しつかえない。すなわち、第8図(a)から第8図(b)さらに第8図(c)のようにすることにより、サンプリング電圧のパルス幅は長くなってくる。データサンプリング電圧発生回路13の動作速度の制限が非常にゆるやかになるため回路設計が容易になるとともに、TFT素子特性に対しても余裕が出てくる。

第9図は第8図に示した波形を発生するための回路構成の一例を示す。第9図(a)は通常のシフトレジスタ回路の構成である。6個のサンプリング電圧 CP_1, CP_2, \dots, CP_6 を発生するため

に6段のシフトレジスタを用いている。第9図(a)の構成で出力パルスを長くするためには入力電圧 V_{st} を長くすれば良い。第9図(b)は2系統のシフトレジスタを用いた構成である。 V_{st1} と V_{st2} とを半パルス分だけずらし、それぞれのシフトレジスタを第9図(a)の $1/2$ の周波数で動作させることにより、オーバーラップしたサンプリング電圧 CP_1, CP_2, \dots, CP_6 が得られる。さらに第9図(c)は3系統のシフトレジスタを用いた構成である。(a)の $1/3$ の周波数で動作させることができる。

第9図はシフトレジスタを用いた構成であるがこれをフリップフロップ等の回路を用いても同様の波形が得られることはいうまでもない。

上述の駆動法、回路構成によりサンプリング電圧も低周波化できるため、TFTを用いて容易に回路が構成できる。

一方、ブロック走査電圧 ϕ_1, ϕ_2, \dots も上述と同様の方法によりパルス幅を第8図(a),(b),(c)の様に長くすることができる。第10図は

従来のシフトレジスタ1系統の構成(a)に対して、シフトレジスタを2系統設けた構成(b)とすることによりシフトレジスタの動作周波数を下げることが可能である。

第20図は第9図(b)を実現するための回路構成の一例を示す。2相クロックにより動作するシフトレジスタを2段設け、それぞれのクロックパルスを逆相にすることにより、 CP_1 、 CP_2 と CP_3 、 CP_4 との位相が半相だけずれた波形を出力することができる。

第21図(a)は第20図と回路構成は同じであるが、クロックラインと電源ラインを共通にした構成である。

これらの回路の動作の波形を第21図(b)に示す。 CP_1 から CP_4 までの出力を得るために、2相のクロック1及びクロック2と半相だけ位相のずれた入力信号 V_{in} と $V_{in'}$ を用いる。 CP_1 から CP_4 までの出力を得るためにシフトレジスタを1列だけ用いた場合と比較して、シフトレジスタの動作周波数が $1/2$ に低周波化できる。

れることも可能である。

第12図は信号入力配線に対しサンプリング用のTFT6を接続し、走査配線4とTFT2をTFT6の出力段に接続した構成である。回路の動作は第1図の回路と同じであるが、TFT素子2の出力段に接続した静電容量に保持された電圧が、TFT素子のゲート・ソース間容量によりゲート電圧に印加された電圧の影響を受ける場合には、 CP_1 、 CP_2 、 CP_3 の方が ϕ_1 、 ϕ_2 …に比べ高周波であり、静電容量の電圧に影響しやすく、第7図の構成の方がゲート電圧の影響が小さくなるという利点がある。第12図の実施例でも、第4図、第5図、第6図の駆動法が適用できることはいうまでもない。

第13図は第1図の回路を3本のカラーの入力信号配線1に対応した場合の構成例である。3色の表示に対応した V_{vr} 、 V_{vg} 、 V_{vb} のビデオ信号に対し、9個のTFT素子を1ブロックとし、3相のクロック電圧 CP_1 、 CP_2 、 CP_3 によりサンプリングを行う。この構成により、9画素(R、

第22図(a)、(b)は4相のクロックを使用し、位相が $1/4$ 相ずれた出力 V_{o1} 〜 V_{o4} を得る回路構成及びそのタイムチャートである。この場合には、シフトレジスタ1列の場合に比較して周波数を $1/4$ に低周波化することが可能である。

第23図(a)は、走査電圧発生回路3の出力 ϕ_1 、 ϕ_2 …を、多相クロック配線5とスイッチ回路2の組み合わせにより走査電圧 ϕ_1 、 ϕ_2 、 ϕ_3 …を得る構成である。スイッチ回路2の一例としては第23図(b)に示すように、2個のTFT素子により、2相のクロックa、bにより出力電圧 ϕ を得る構成が考えられる。

駆動波形を第23図(c)に示す。 ϕ_1 を4相クロックパルス CP_1 、 CP_2 、 CP_3 、 CP_4 により切りかえて、 ϕ_1 、 ϕ_2 、 ϕ_3 、 ϕ_4 を得ている。

第14図は第1図の回路構成の変形例である。TFT素子2の出力段にバッファ回路19を設け、電圧の増幅を行う方式である。このように、電圧増幅、レベルシフト等の目的でバッファ回路を入

G、Bの3色を1dot(とすると3dot分)を駆動することが可能である。 V_{vr} 、 V_{vg} 、 V_{vb} を各ライン毎に印加する順序を変換することにより、モザイク構成のカラー配置の表示も行うことが可能である。

第14図に、p及びnチャネルのCMOS構成のスイッチを用いた回路構成とその駆動波形の一例を示す。1ライン毎に信号電圧の極性を反転したり1フレーム毎に反転したりするため、正負両極性の電圧を通す必要があるためp、nの両チャネルのTFT素子を用いてスイッチを構成することにより、動作速度の向上がはかれる。

第15図には、TFT素子のゲート・ソース間の静電容量により、ゲートの電圧がソースに容量結合により重畳されるのを防止する方法を示す。これまでに述べた各TFTの代わりに、それぞれ2個のTFT素子を用い、2個のうち1個はゲートに論理的反転した電圧を印加し、ゲートからの容量結合を相殺するようにしている。

第16図は容量性負荷となる静電容量の形成方

法の一例を示す。通常、静電容量は金属電極2層と絶縁膜1層により形成するが、ここでは、TFT基板に対し対向するガラス基板上の透明電極を電極21のように形成し、TFT基板上の静電容量を必要とする部分にも電極20を形成する。ディスプレイ形成時に液晶を封入することによりこれら2枚の電極の間で特性の良い静電容量が形成できる。これに加えて、これら2組の電極を透明電極で形成すれば、回路動作時に電圧が印加されるため液晶が動作し、回路の動作の検査も可能となる。

第16図に加えて、これまで述べた回路動作を安定に行うため、第12図のような対向ガラス電極を静電容量を形成するための電極に使用することなどを目的とする場合を除き、回路形成部上の対向基板の透明電極を除去した例を第17図に示す。対向ガラス基板24上の透明電極領域29は、表示部25上のみに形成し、走査回路22と信号回路23上は除去した構成である。これにより、回路の各部と対向ガラス基板との静電容量結合を

小さくすることにより、回路の高速化が可能となる。

尚、上記実施例では、線順次走査を例にとつて説明したが、本発明走査方法は、点順次走査にも適用できることは言うまでもない。

(発明の効果)

本発明によれば、高速な走査方法及び回路を得ることができる。

4. 図面の簡単な説明

第1図、第2図、第7図、第9図、第10図、第11図、第12図、第13図、第14図、第15図、第16図、第17図、第18図、第20図、第21図、第22図、第23図は本発明の実施例の回路構成図、第3図はインバータの回路図及び特性図、第4図、第5図、第6図、第8図、第19図は駆動波形図である。

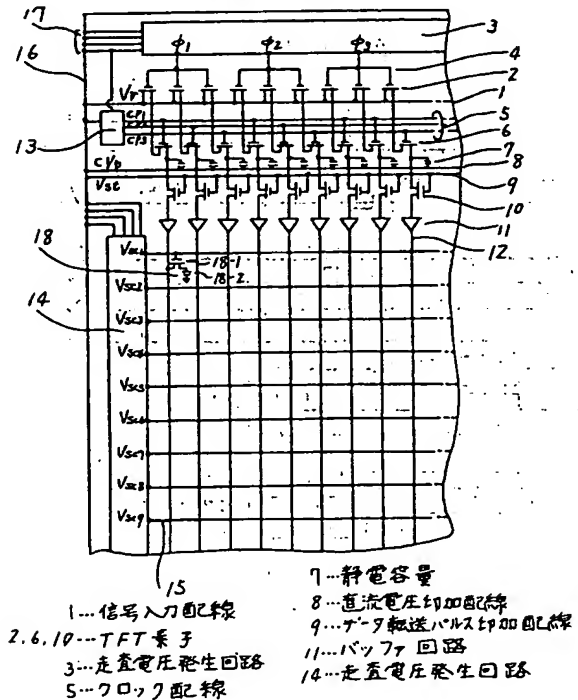
1…信号入力配線、2, 6, 10…TFT素子、3…走査電圧発生回路、5…クロック配線、7…静電容量、11…バッファ回路、16…TFT基板、17…入力バンド、13…クロック発生回路、

18…表示部、

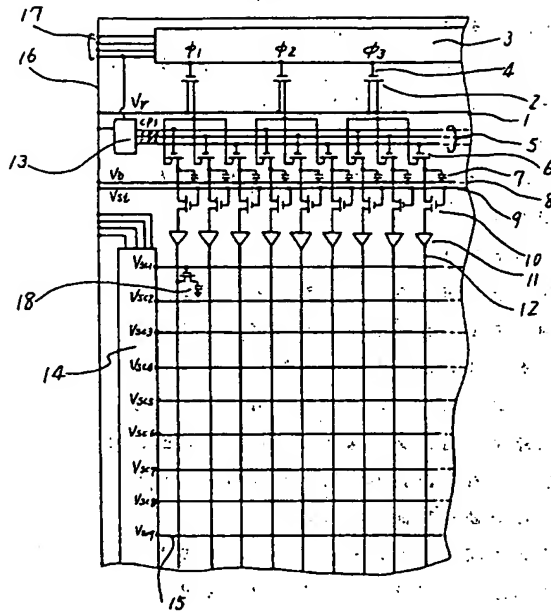
代理人 井理士 小川勝男



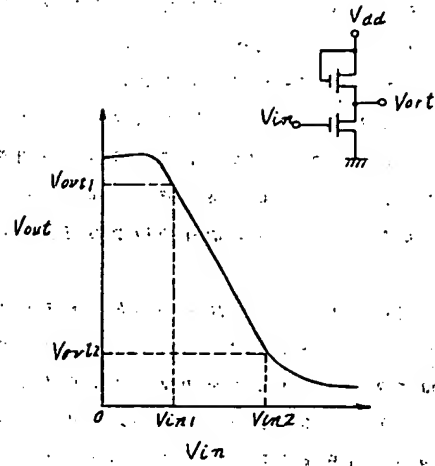
第1図



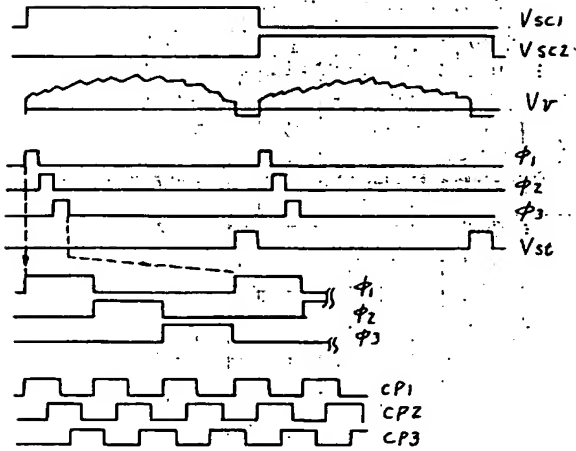
第 2 図



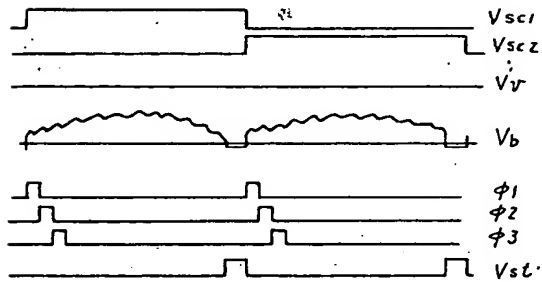
第 3 図



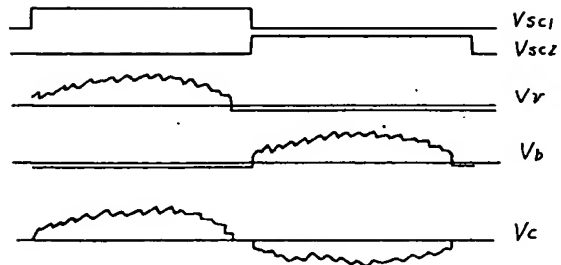
第 4 図



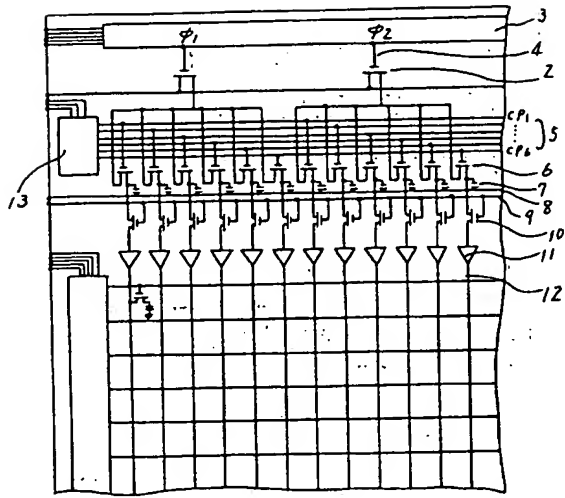
第 5 図



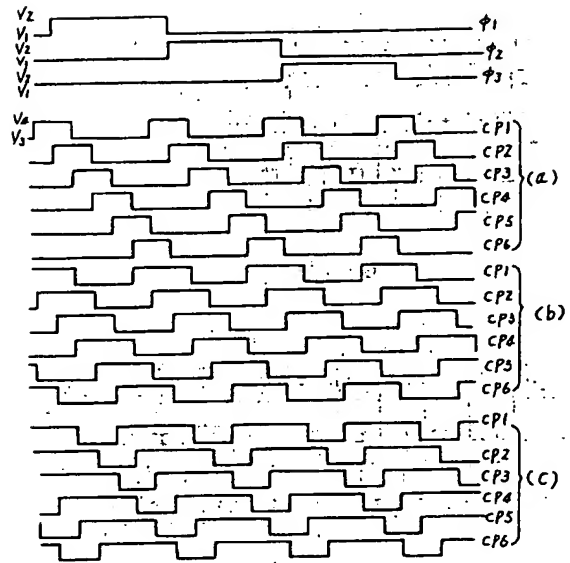
第 6 図



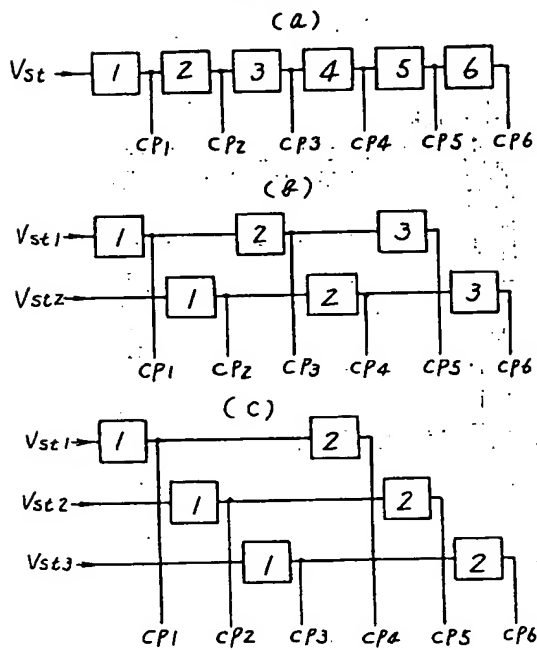
第7図



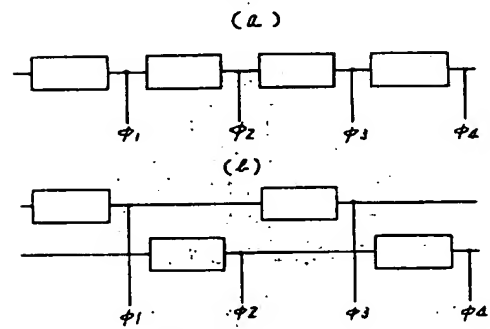
第8図



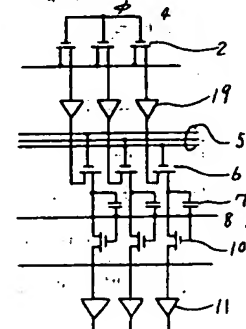
第9図



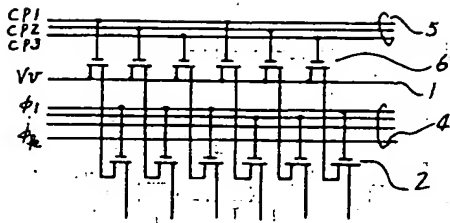
第10図



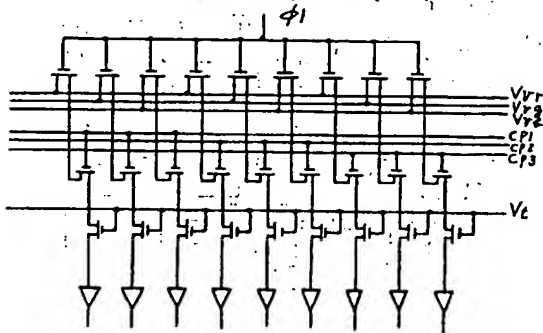
第11図



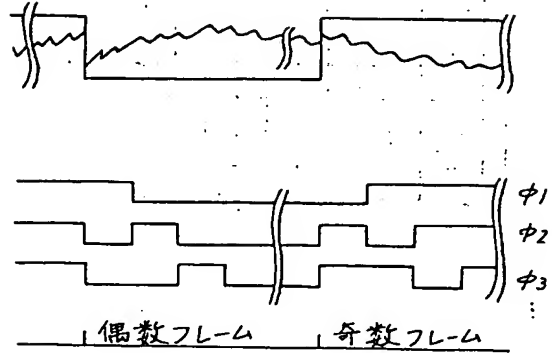
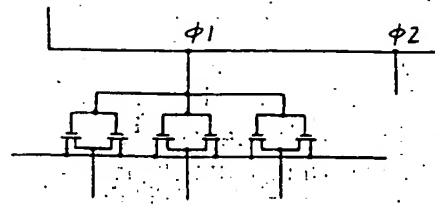
第12図



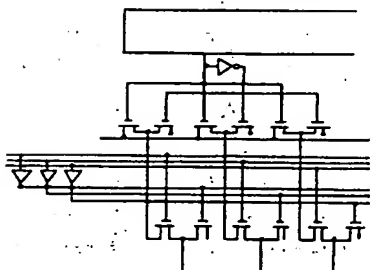
第13図



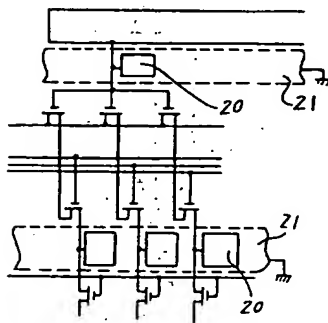
第14図



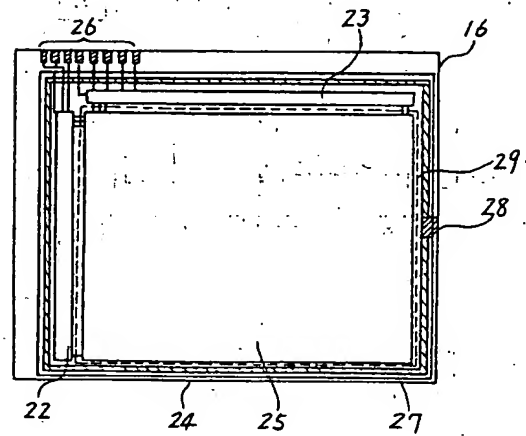
第15図



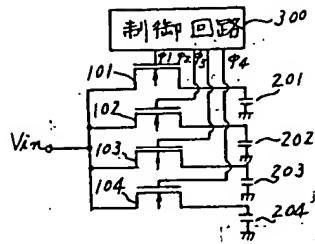
第16図



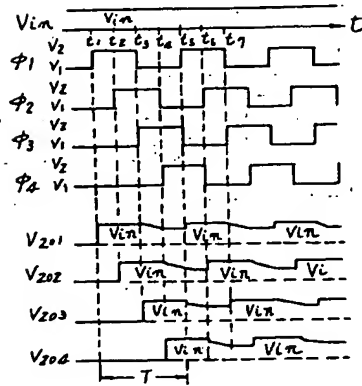
第17図



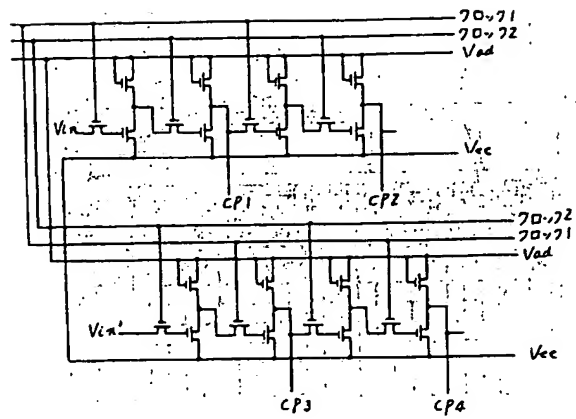
第18図



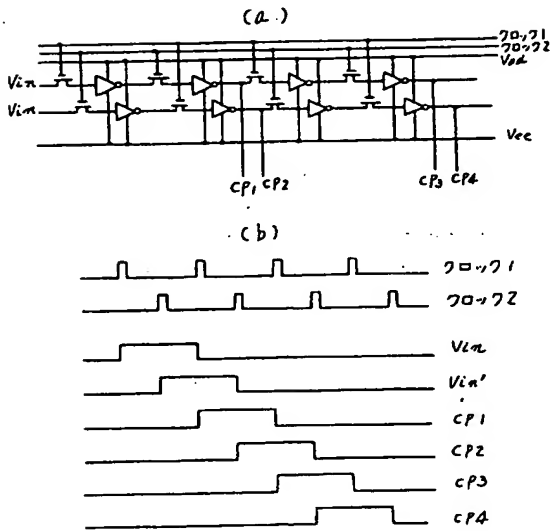
第19図



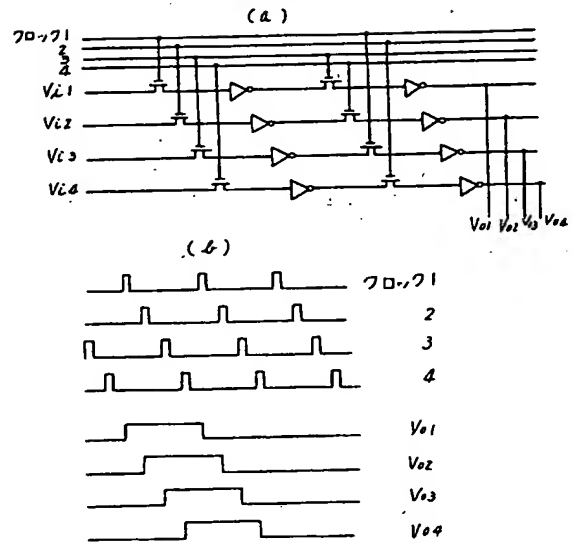
第20図



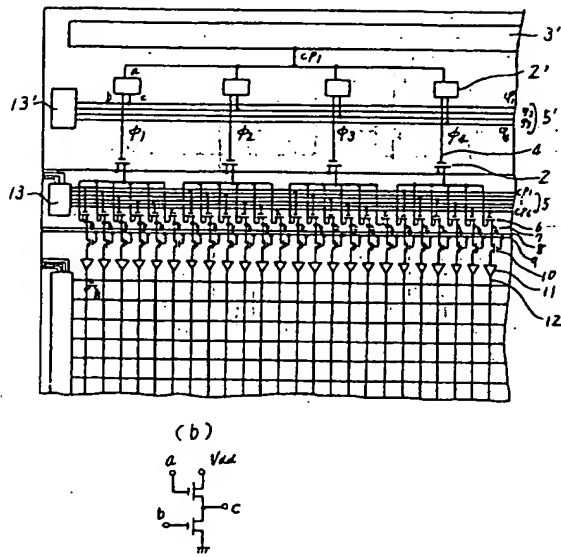
第21図



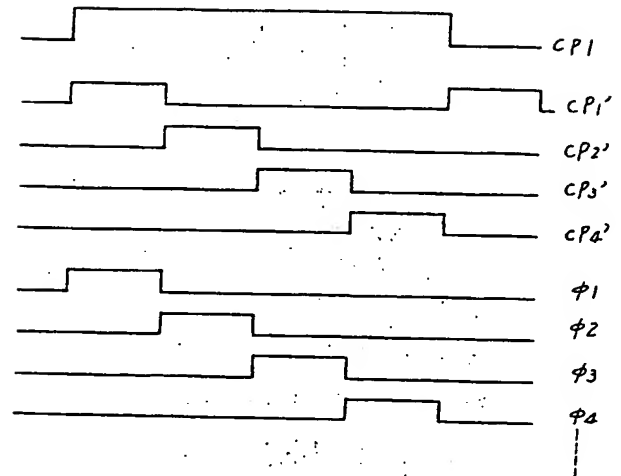
第22図



第23図
(a)



第23図
(c)



第1頁の続き

②発明者 長江 慶治 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内